

19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Offenlegungsschrift
10 DE 39 40 569 A 1

51 Int. Cl.⁵:
H 02 P 6/02

21 Aktenzeichen: P 39 40 569.9
22 Anmeldetag: 8. 12. 89
43 Offenlegungstag: 27. 6. 91

DE 39 40 569 A 1

71 Anmelder:
Robert Bosch GmbH, 7000 Stuttgart, DE

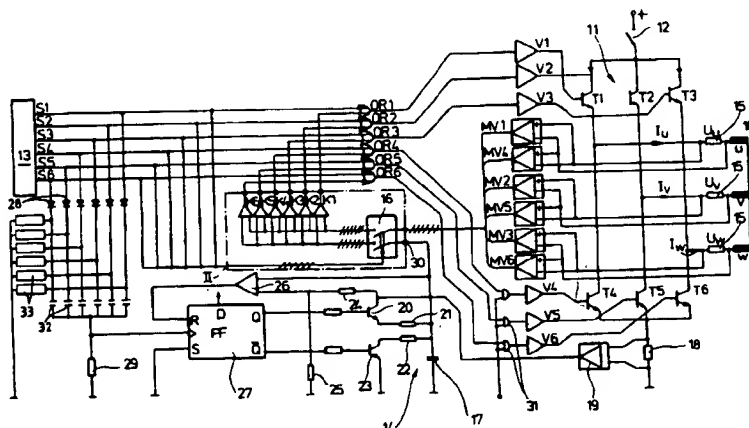
72 Erfinder:
Albrecht, Jörg, Dipl.-Ing., 7500 Karlsruhe, DE;
Schrittenlocher, Wolfgang, 7573 Sinzheim, DE

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Schaltungsanordnung zum Betreiben eines Mehrphasen-Synchronmotors an einem Gleichspannungsnetz

57 Eine Schaltungsanordnung zum Betreiben eines mehrphasigen Synchronmotors an einem Gleichspannungsnetz weist eine Schaltvorrichtung (11) zum sukzessiven Anschließen der Wicklungsphasen (u, v, w) der Ankerwicklung (10) an die Netzgleichspannung und eine Kommutierungslogik (13) zum folgerichtigen Ansteuern der elektronischen Schalter (T1-T6) der Schaltvorrichtung (11) mit Schaltsignalen (S1-S6) in Übereinstimmung mit der Rotordrehstellung des Synchronmotors auf. Zur Herbeiführung einer "sanften" Kommutie-

rung zwecks Geräuschminderung und Vermeidung von Funkstörungen überlappen die beiden Schaltsignale (S1-S6) für die den kommutierenden Wicklungsphasen (u, v, w) zugeordneten Schalter (T1-T6) einander zeitlich und sind im Überlappungsbereich derart getaktet, daß der Mittelwert des Phasenstroms (I_u , I_v , I_w) in der aufkommutierenden Wicklungsphase (u, v, w) zu- und in der abkommutierenden Wicklungsphase (u, v, w) abnimmt, vorzugsweise linear oder nach einer e-Funktion (Fig. 1).



DE 39 40 569 A 1

Stand der Technik

Die Erfindung geht aus von einer Schaltungsanordnung zum Betreiben eines eine mehrphasige Ankerwicklung aufweisenden Synchronmotors an einem Gleichspannungsnetz der im Oberbegriff des Anspruchs 1 definierten Gattung.

Bei einer bekannten Schaltungsanordnung dieser Art für einen vierphasigen Synchronmotor (DE 30 42 819 A1) ist von den als Leistungstransistoren ausgebildeten Schaltern der Schaltvorrichtung jeweils einer in Reihe mit der Wicklungsphase der hier im Ständer des Synchronmotors angeordneten Ankerwicklung geschaltet und liegt zwischen dem einen Wicklungsphasenende und dem Nullpotential. Die anderen Wicklungsphasenenden der Ankerwicklung sind zu einem Sternpunkt zusammengefaßt, der über einen Netzschalter an das Pluspotential der Netzgleichspannung anschließbar ist.

Die Kommutierungslogik zum folgerichtigen Ansteuern der Schaltung in Übereinstimmung mit der Drehstellung des vorzugsweise permanentmagnetenerregten Rotors ist durch Spannungskomparatoren, durch logische Verknüpfungsglieder und durch einen Ringzähler realisiert, dessen parallele Zählgänge mit den Steuereingängen der Transistoren verbunden sind. In den Spannungskomparatoren werden jeweils die infolge gesperrter Transistoren zyklisch aufeinanderfolgenden Wicklungsphasen induzierten Spannungen miteinander verglichen und jeweils ein Ausgangssignal dann ausgegeben, wenn die in der zyklisch folgenden Wicklungsphasen induzierte Spannung größer ist als die in der zyklisch vorhergehenden Wicklungsphase induzierte Spannung. Diese Ausgangssignale der Spannungskomparatoren sind mit den Zählerausgangssignalen des Ringzählers logisch "UND"-verknüpft, und zwar derart, daß ein Schaltsignal an ein Monoflop dann und nur dann gelangt, wenn die der Wicklungsphase mit der höheren induzierten Spannung zyklisch folgende Wicklungsphase durch Öffnen des zugeordneten Transistors stromdurchflossen ist. Der mit dem Steuereingang dieses Stromventils verbundene Ausgang des Ringzählers führt hierzu H-Potential. Mit der positiven Flanke des Ausgangsimpulses des Monoflops wird der Ringzähler weitergezählt, so daß nunmehr H-Potential an dem nächsten Zählerausgang liegt und der momentan geöffnete Transistor gesperrt und der zyklisch folgende Transistor geöffnet wird.

Bei einer ebenfalls bekannten Schaltungsanordnung der eingangs genannten Art für einen dreiphasigen Synchronmotor () weist die Kommutierungslogik einen Schaltsignalgenerator mit einem Spannungs-Frequenz-Wandler, einem diesem vorgeschalteten Anlaufglied und einer nach Hochlaufen des Synchronmotors wirksamen Wiederanlaufeinheit und einen Ringzähler mit drei parallelen Ausgängen auf, die mit den Steuereingängen der in die in Stern geschalteten Wicklungsphasen der Ankerwicklung eingeschalteten Transistoren verbunden sind. Die vom Schaltsignalgenerator erzeugten Rechteckimpulse liegen als Zählimpulse an dem Zähl- oder Takteingang des Ringzählers. Mit jedem Zählimpuls zählt der Ringzähler einen Schritt weiter, wobei sukzessive die Ausgangspotentiale an den einzelnen Ausgängen des Ringzählers von logisch L auf H und umgekehrt schalten. Immer nur ein Zählgang führt H-Potential.

Bei beiden Schaltungsanordnungen werden die elektronischen Schalter mit Rechteckimpulsen angesteuert, wobei die positive (Anstiegs-) Flanke des Schaltimpulses für den aufkommutierenden Schalter mit der negativen (Abfall-) Flanke des Schaltsignals für den abkommutierenden Schalter zusammenfällt. Eine solche Schaltungsanordnung verursacht im Synchronmotor, in Verbindung mit der Schaltungsanordnung auch EC-Motor genannt, bei der Stromkommutierung, d. h. beim Übergang der Stromführung von der einen momentan stromleitenden Wicklungsphase (abkommutierende Wicklungsphase) auf die nachfolgend stromleitende Wicklungsphase (aufkommutierende Wicklungsphase) nicht unerhebliche Geräusche und ist auch Ursache für Funkstörungen.

Vorteile der Erfindung

Die erfindungsgemäße Schaltungsanordnung mit den kennzeichnenden Merkmalen des Anspruchs 1 hat demgegenüber den Vorteil, daß durch die Überlappung der Schaltsignale und durch die Taktung der Schaltsignale im Überlappungsbereich stetig abnehmende bzw. ansteigende Kommutierungsflanken der Phasenströme in den jeweils kommutierenden Wicklungsphasen mit vorgebbarem Verlauf verlustarm erzielt werden. Dadurch wird bei geringer Schaltverlustleistung eine wesentliche Geräuschreduzierung erreicht und auch die Funkstörung erheblich reduziert. Die Geräuschreduzierung ergibt sich dadurch, daß durch die während des Kommutierungsvorgangs in der aufkommutierenden Wicklungsphase anwachsende bzw. in der abkommutierenden Wicklungsphase abnehmende Flanke des Kommutierungsstroms das mittlere Drehmoment nicht geschaltet sondern langsam aufgesteuert wird und daß die von dem verlangsamt ansteigenden Strom verursachten Kraftwirkungen nicht stoßartig sondern gedämpft erfolgen. Durch diese "sanfte" Kommutierung werden Kommutierungsstromspitzen vermieden und damit Funkstörungen unterdrückt.

Während des Kommutierungsvorgangs kann entweder das Schaltsignal für den der aufkommutierenden Wicklungsphase zugeordneten Schalter oder das Schaltsignal für den der abkommutierenden Wicklungsphase zugeordneten Schalter getaktet werden. Während der Taktung des einen Schalters ist der an der Kommutierung beteiligte andere Schalter voll geöffnet. Die Taktung des einen Schalters bewirkt, daß sowohl der Phasenstrom in der abkommutierenden Wicklungsphase im Mittel abnimmt als auch der Phasenstrom in der aufkommutierenden Phase im Mittel anwächst, vorzugsweise linear oder exponentiell.

Die erfindungsgemäße Schaltungsanordnung kann ohne Änderung sowohl bei gesteuerten als auch bei ungesteuerten Synchronmotoren bzw. EC-Motoren verwendet werden. Die Ankerwicklung kann dabei in Stern mit oder ohne herausgeführten Sternpunkt geschaltet sein. Im ersten Fall weist die Schaltvorrichtung drei elektronische Schalter auf, die jeweils in einer der drei Wicklungsphasen eingeschaltet sind. Im zweiten Fall weist die Schaltvorrichtung sechs in einer Brücke zusammengefaßte elektronische Schalter auf, wobei jeweils eine Wicklungsphase zwischen zwei hintereinander liegenden Schaltern einer von drei parallelen Reihenschaltungen der Schalter angeschlossen ist.

Durch die in den weiteren Ansprüchen aufgeführten Maßnahmen sind vorteilhafte Weiterbildungen und Verbesserungen der im Anspruch 1 angegebenen Schal-

tungsanordnung möglich.

In einer bevorzugten Ausführungsform der Erfindung wird die Taktung des Schaltsignals durch Vergleich eines dem Istwertverlauf des Phasenstroms in mindestens einer der kommutierenden Wicklungsphasen entsprechenden Istwertsignals mit einem dem gewünschten Sollwertverlauf des Phasenstroms entsprechenden Sollwertsignal gewonnen. Dies hat den Vorteil, daß die erforderliche Taktung mit nur geringen schaltungstechnischen Mitteln sehr einfach aus einem ebenfalls einfach zu gewinnenden Sollwertsignal ableitbar ist und daß problemlos ein gewünschter Verlauf des Phasenstroms während des Kommutierungsvorgangs vorgegeben werden kann.

Das Sollwertsignal wird gemäß einer bevorzugten Ausführungsform der Erfindung durch Auf- oder Entladung eines Kondensators gewonnen, wobei die Ladespannung für den Kondensator dem Laststrom des Synchronmotors nachgeführt werden kann.

Das Istwertsignal wird aus den Phasenströmen der jeweils kommutierenden Wicklungsphasen abgeleitet. Erfolgt dies gemäß einer zweckmäßigen Ausführungsform der Erfindung mittels Meßwiderständen in den Wicklungsphasen der Ankerwicklung, wobei die abgenommene Meßspannung das Istwertsignal darstellt, so kann für den Soll-Istwert-Vergleich eine der Meßspannungen aus den beiden kommutierenden Wicklungsphasen verwendet werden. Wird gemäß einer weiteren Ausführungsform der Erfindung als Istwertsignal der Spannungsabfall an den z. B. als MOSFET oder SENSE-FET ausgebildeten jeweils kommutierenden elektrischen Schaltern verwendet, so wird zum Soll-Istwert-Vergleich der Spannungsabfall an demjenigen der beiden kommutierenden Schalter herangezogen, der während des Kommutierungsvorgangs nicht getaktet wird. Je nachdem, ob das Istwertsignal aus dem Phasenstrom der auf- oder abkommutierenden Wicklungsphase abgenommen ist, muß das Sollwertsignal entsprechend angepaßt werden und wird durch Aufladung oder Entladung des Kondensators realisiert.

Der Soll-Istwert-Vergleich erfolgt gemäß einer weiteren Ausführungsform der Erfindung durch einen Komparator, der einen Schaltimpuls ausgibt, wenn das Sollwertsignal das Istwertsignal übersteigt. Wird während des Kommutierungsvorgangs der der abkommutierenden Wicklungsphase zugeordnete Schalter getaktet, so werden gemäß einer weiteren Ausführungsform der Erfindung die Steuerimpulse über ein ODER-Gatter auf den Steuereingang des Schalters gegeben. Der andere Eingang des ODER-Gatters ist mit dem von der Kommutierungslogik erzeugten, dem Schalter zugeordneten rechteckförmigen Schaltsignal belegt. Durch die Schaltimpulse des Komparators wird dann die Ansteuerung des abkommutierenden Schalters zeitlich über das von der Kommutierungslogik erzeugte Schaltsignal hinaus verlängert. Während dieser Zeitverlängerung ist der der aufkommutierenden Wicklungsphase zugeordnete Schalter durch das zugeordnete Schaltsignal der Kommutierungslogik voll aufgesteuert.

Das Aktivierungssignal für den Komparator wird gemäß einer Ausführungsform der Erfindung aus der positiven Flanke des Schaltsignals für die Kommutierungssteuerung des zugeordneten elektronischen Schalters abgeleitet. In gleicher Weise kann auch die zeitgleiche negative Flanke des Schaltsignals verwendet werden. Die gleichen Flanken der Schaltsignale werden auch zur Auslösung der Aufladung bzw. Entladung des das Sollwertsignal erzeugenden Kondensators verwendet, da

die Generierung des Sollwertsignals mit dem Kommutierungsvorgang synchronisiert werden muß.

Zeichnung

Die Erfindung ist anhand eines in der Zeichnung dargestellten Ausführungsbeispiels in der nachfolgenden Beschreibung näher erläutert. Es zeigen:

Fig. 1 ein Schaltbild einer Schaltungsanordnung zum Betreiben eines dreiphasigen Synchronmotors mit elektronischer Kommutierung an einem Gleichspannungsnetz (EC-Motor),

Fig. 2 eine detaillierte Darstellung der Einzelheit II im Schaltbild gemäß Fig. 1,

Fig. 3 eine tabellarische Zusammenstellung des Kommutierungsverlaufs mit Zuordnung der Schalt- und Istwertsignale,

Fig. 4 ein Diagramm der von einer Kommutierungslogik in der Schaltungsanordnung in Fig. 1 erzeugten Schaltsignale.

Beschreibung des Ausführungsbeispiels

In dem in Fig. 1 dargestellten Schaltbild ist mit 10 die dreiphasige Ankerwicklung des Synchronmotors bezeichnet, die mit ihren Wicklungssträngen oder Wicklungsphasen u, v, w im Ständer des Synchronmotors untergebracht ist. Auf die Darstellung eines beispielsweise zweipoligen, vorzugsweise mit Permanentmagneten bestückten Rotors, der im oder um den Ständer des Synchronmotors rotiert, ist verzichtet worden. Die Wicklungsphasen u, v, w sind an einem Wicklungsende zu einem Sternpunkt zusammengefaßt und mit ihrem anderen Wicklungsende an einer Schaltvorrichtung 11 angeschlossen. Die Schaltvorrichtung 11 besteht aus sechs Leistungstransistoren T1-T6, die zu einer dreiphasigen Zweiweg-Gleichrichtbrückenschaltung zusammengefaßt sind. Jeweils zwei Transistoren T1, T4 bzw. T2, T5 bzw. T3, T6 sind in Reihe geschaltet. Die Parallelschaltung aus den drei Reihenschaltungen der Transistoren T1-T6 ist über einen Netzschalter 12 an die mit "+" gekennzeichnete Gleichspannung eines Gleichspannungsnetzes anschließbar. Die freien Wicklungsenden der Wicklungsphasen u, v, w sind jeweils an einem der parallelen Zweige der Transistoren T1-T6 angeschlossen, und zwar an die Verbindungsleitungen, die die jeweils hintereinanderliegenden Transistoren T1, T4 bzw. T2, T5 bzw. T3, T6 miteinander verbinden.

Die Steuereingänge der Transistoren T1-T6 sind über Verstärker V1-V6 an den Ausgängen einer Kommutierungslogik 13 angeschlossen. Die Kommutierungslogik 13, die beispielsweise wie in der DE 30 42 819 A1 oder DE A1 ausgebildet sein kann, erzeugt in Übereinstimmung mit der Drehstellung des Rotors an ihren sechs Ausgängen Schaltsignale S1-S6, die jeweils die Transistoren T1-T6 während der Zeitdauer ihres Anstehens an deren Steuereingang öffnen, so daß in der zugeordneten Wicklungsphase u, v, w ein entsprechender Phasenstrom auftritt. Der zeitliche Verlauf der Schaltsignale S1-S6 an den Ausgängen der Kommutierungslogik 13 ist in Fig. 4 ausgezogen dargestellt. Zu erkennen ist, daß die Abfallflanke des Schaltsignals für den momentan stromführenden Transistor und die Anstiegsflanke des Schaltsignals für den unmittelbar nachfolgend stromführenden Transistor zeitgleich aufeinanderfallen.

Um eine "sanfte" Kommutierung des EC-Motors mit den Vorteilen der Geräuschreduzierung und der Ver-

meidung von Kommutierungsstromspitzen zu erzielen, werden die Schaltsignale $S1-S6$ der Kommutierungslogik 13 mittels einer Steuerschaltung 14 so verändert, daß die beiden Schaltsignale für die den jeweils kommutierenden beiden Wicklungsphasen u, v bzw. v, w bzw. w, u zugeordneten Transistoren $T1, T2$ bzw. $T2, T3$ bzw. $T3, T1$ und entsprechend $T4, T5$ bzw. $T5, T6$ bzw. $T6, T4$ sich zeitlich einander überlappen und eines der beiden Schaltsignale im Überlappungsbereich Δt derart getaktet ist, daß der Mittelwert des Strangstroms I_u bzw. I_v bzw. I_w in der aufkommutierenden Wicklungsphase, u, v, w zu- und in der abkommutierenden Wicklungsphase v, w, u abnimmt, und zwar hier entsprechend dem Verlauf einer e-Funktion. Die Überlappung der Schaltsignale $S1-S6$ und die Taktung des jeweils einen Schaltsignals im zeitlichen Überlappungsbereich Δt ist in Fig. 4 strichliniert dargestellt. Die Überlappung wird hier durch zeitliche Verlängerung des Schaltsignals für den der jeweils abkommutierenden Wicklungsphase u, v, w zugeordneten Transistors $T1-T6$ erzielt. Die Taktung des jeweiligen Schaltsignals wird in einfacher Weise aus dem Vergleich eines dem Istwertverlauf des Phasenstroms I_u, I_v, I_w in mindestens einer der kommutierenden Wicklungsphasen u, v, w entsprechenden Istwertsignals mit einem dem gewünschten Sollwertverlauf des Phasenstroms entsprechenden Sollwertsignal gewonnen. Das Ende der Überlappung ist gegeben, wenn das Sollwertsignal einen vorgegebenen Wert, nachstehend als Vorgabespannung bezeichnet, übersteigt.

Im einzelnen weist die Steuerschaltung 14 sechs Komparatoren $K1-K6$ auf, deren Ausgänge über jeweils ein ODER-Gatter $OR1-OR6$ in die Verbindungsleitung zwischen den Ausgängen der Kommutierungslogik 13 und den Eingängen der Verstärker $V1-V6$ eingekoppelt sind. Dabei sind die einen Eingänge der ODER-Gatter $OR1-OR6$ mit jeweils einem Ausgang der Kommutierungslogik 13 und die anderen Eingänge der ODER-Gatter $OR1-OR6$ mit je einem Ausgang der Komparatoren $K1-K6$ verbunden. Die Ausgänge der ODER-Gatter $OR1-OR6$ sind jeweils an die Eingänge der Verstärker $V1-V6$ geführt, deren Ausgänge an den Basen der zugeordneten Transistoren $T1-T6$ liegen. In jedem Komparator $K1-K6$ wird ein Vergleich des Istwertsignals, das aus dem Phasenstrom I_u, I_v, I_w eines der am Kommutierungsvorgang beteiligten Wicklungsphasen u, v, w gewonnen ist, mit dem Sollwertsignal vorgenommen. Übersteigt das Sollwertsignal das Istwertsignal, so tritt am Ausgang des Komparators $K1-K6$ ein Schaltimpuls auf, der über das ODER-Gatter $OR1-OR6$ und den Verstärker $V1-V6$ an den entsprechenden Transistor $T1-T6$ geführt wird. Diese Schaltimpulse führen zu einer getakteten Verlängerung der Einschaltdauer des jeweiligen Transistors $T1-T6$.

Zur Gewinnung der Istwertsignale ist in jeder Wicklungsphase u, v, w der Ankerwicklung 10 ein Meßwiderstand 15 eingeschaltet, an dem eine Meßspannung U_u, U_v und U_w ansteht, wenn die jeweilige Wicklungsphase u, v, w stromführend ist. Die Meßspannung U_u ist einmal an den Spannungsverstärker $MV1$ und - invertiert - an den Spannungsverstärker $MV4$ geführt. Entsprechend ist die Meßspannung U_v an die Meßverstärker $MV2$ und $MV5$ und die Meßspannung U_w an die Meßverstärker $MV3$ und $MV6$ geführt. Die Ausgänge der Meßverstärker $MV1-MV6$ sind über eine Zuordnungseinheit 16 in richtiger Zuordnung an die einen Eingänge der Komparatoren $K1-K6$ gelegt. Die Zuordnungseinheit 16 und ihre folgerichtige Verbindung

mit den Meßverstärkern $MV1-MV6$ und den Komparatoren $K1-K6$ ist in Fig. 2 im einzelnen dargestellt.

Das Sollwertsignal für die Komparatoren $K1-K6$ wird von einem Kondensator 17 abgenommen, der mit Beginn eines jeden Kommutierungsvorgangs aufgeladen wird. Die Ladespannung für den Kondensator 17 wird dabei dem Laststrom in der Ankerwicklung 10, also dem Summenstrom der jeweils fließenden Phasenströme I_u, I_v, I_w nachgeführt, wozu zwischen den Ausgängen der Transistoren $T4-T6$ und dem Nullpotential der Gleichspannung ein Widerstand 18 angeordnet ist, dessen Spannungsabfall an einen Verstärker 19 gelegt ist. Die Ausgangsspannung des Verstärkers 19 bildet die Ladespannung für den Kondensator 17, wozu der Ausgang des Verstärkers 19 über einen Aufladetransistor 20 und einen Widerstand 21 an dem Kondensator 17 angeschlossen ist. Eine Reihenschaltung aus einem Widerstand 22 und einem Entladetransistor 23, welche dem Kondensator 17 parallel geschaltet ist, sorgt für die schnelle Entladung des Kondensators 17 nach Beendigung des Aufladevorgangs. Die Vorgabespannung wird an einem aus den Widerständen 24 und 25 bestehenden Spannungsteiler abgenommen, der dem Ausgang des Verstärkers 19 parallel geschaltet ist, abgegriffen. Ein Komparator 26 vergleicht die Kondensatorspannung am Kondensator 17 mit der Vorgabespannung und erzeugt ein Ausgangssignal sobald die Kondensatorspannung die Vorgabespannung übersteigt.

Die Steuerung des Auf- und Entladevorgangs des Kondensators 17 erfolgt mit einem RS-Flip-Flop 27 mit Flankensteuerung. Der Q-Ausgang des Flip-Flops 27 ist mit der Basis des Aufladetransistors 20 und der Q-Ausgang ist mit der Basis des Entladetransistors 23 verbunden, während der Reset-Eingang R an dem Ausgang des Komparators 26 angeschlossen ist. Die Ausgänge der Kommutierungslogik 13 sind über Gleichrichter 28 und Kondensatoren 32 mit einem Widerstand 29 verbunden, der seinerseits an Nullpotential liegt. Widerstände 33 dienen der Entladung der Kondensatoren 32. Der Spannungsabfall am Widerstand 29 liegt als Schaltimpuls am Flip-Flop 27. Mit jeder positiven (Anstiegs-) Flanke eines Schaltsignals $S1-S6$ wird das Flip-Flop 27 gesetzt, wodurch sein Q-Ausgang logisch H annimmt. Mit jedem Schaltimpuls am Ausgang des Komparators 26 wird das Flip-Flop 27 zurückgesetzt, wodurch sein Q-Ausgang auf logisch H geht. Entsprechend wird der Aufladetransistor 20 bzw. der Entladetransistor 23 aufgesteuert und der Kondensator 17 auf- bzw. entladen. Die Ladespannung des Kondensators 17 ist über den Eingang 30 der Zuordnungseinheit 16 zugeführt und wird von dieser an den jeweils zu aktivierenden Komparator $K1-K6$ gelegt.

Die Zuordnungseinheit 16, die die richtige Auswahl eines der Komparatoren $K1-K6$ entsprechend den jeweils kommutierenden Wicklungsphasen u, v, w trifft und die in Fig. 2 symbolisch durch sechs Doppelschalter dargestellt ist, wird von den Schaltsignalen $S1-S6$ gesteuert. Während des jeweils auftretenden Steuersignals $S1-S6$ ist der betreffende Doppelschalter geschlossen und der zugeordnete Komparator $K1-K6$ mit dem Sollwert- und Istwertsignal belegt. Die Zuordnung der Komparatoren $K1-K6$ zu den Transistoren $T1-T6$ ist dabei so getroffen, daß während des Kommutierungsvorgangs jeweils die Öffnungsdauer desjenigen Transistors $T1-T6$ durch die Schaltimpulse des zugeordneten Komparators $K1-K6$ verlängert wird, der der jeweils abkommutierenden Wicklungsphase u, v, w zugeordnet ist. Das diesem Komparator $K1-K6$ von der Zuord-

nungseinheit 16 zugeführte Istwertsignal ist aus dem Phasenstrom I_u , I_v , I_w der anderen an dem Kommutierungsvorgang beteiligten Wicklungsphase u, v, w entnommen. Die Zuordnung der Schaltsignale S1 – S6 zu den kommutierenden Transistoren T1 – T6 und die verwendeten Istwertsignale U_u , U_v , U_w sind in Fig. 3 tabellarisch aufgelistet.

Sind beispielsweise die Transistoren T3 und T5 momentan stromführend, so daß die Phasenströme I_w und $-I_v$ durch die Wicklungsphasen u, v fließen, so wird mit der Anstiegsflanke des Schaltsignals S1 der Transistor T1 aufgesteuert und der Komparator K3 mit dem Meßspannungsverstärker MV1 verbunden. Der Meßspannungsverstärker MV1 liefert ein aus der Meßspannung U_u abgeleitetes Istwertsignal, das ein Maß für den in der Wicklungsphase u, die dem Transistor T1 zugeordnet ist, fließenden Phasenstroms I_u ist. Mit der Anstiegsflanke des Schaltsignals S1 wird das Flip-Flop 27 gesetzt, wodurch der Aufladetransistor 19 öffnet und der Kondensator 17 aufgeladen wird. Die nach einer Funktion $(1 - e^{-t/T})$ ansteigende Kondensatorspannung 17 liegt über den geschlossenen Doppelschalter an dem Komparator K3. Übersteigt das Sollwertsignal das Istwertsignal, so gelangt über das ODER-Gatter OR3 ein Schaltimpuls an den Transistor T3, wodurch dieser für die Dauer des Schaltimpulses trotz Wegfall des Schaltsignals S3 geöffnet wird. Als Folge der Öffnung des Transistors T3 wird das Istwertsignal das Sollwertsignal wieder übersteigen, und der Schaltimpuls am Transistor T3 fällt weg. Dieser Vorgang wiederholt sich bis der Phasenstrom I_u in der aufkommütierenden Wicklungsphase u seinen Endwert erreicht hat und der Phasenstrom I_w in der abkommütierenden Wicklungsphase w auf Null abgeklungen ist. Da das Istwertsignal dem Sollwertsignal nachgeführt ist, erfolgt der Anstieg des Phasenstroms I_u in der aufkommütierenden Wicklungsphase u und der Abfall des Phasenstroms I_w in der abkommütierenden Wicklungsphase w im Mittel nach einer e-Funktion, wie sie von dem Aufladevorgang des Kondensators 17 vorgegeben wird. Am Ende des Kommutierungsvorgangs sind nunmehr die Wicklungsphasen u und v stromführend, wobei die Phasenströme I_u und $-I_v$ fließen. Der Kommutierungsvorgang ist beendet, sobald die Kondensatorspannung am Kondensator 17 die durch den Spannungsteiler 24, 25 vorgegebene Vorgabespannung überschreitet. Der dadurch von dem Komparator 26 erzeugt Schaltimpuls setzt das Flip-Flop 27 zurück, wodurch über den Q-Ausgang des Flip-Flops 27 der Entladetransistor 23 aufgesteuert wird. Der Kondensator 17 wird vollständig entladen, noch bevor das nächste Schaltsignal S6 am Ausgang der Kommutierungslogik 13 auftritt.

Der nächste Kommutierungsvorgang erfolgt bei Auftreten der Anstiegsflanke des Schaltsignals S6. An diesem Kommutierungsvorgang sind die Transistoren T5 und T6 und entsprechend die Wicklungsphasen v und w beteiligt. Mit Auftreten der positiven Flanke des Schaltsignals S6 wird der Komparator K5 mit dem Meßverstärker MV6 verbunden. Gleichzeitig wird wiederum über das Flip-Flop 27 der Aufladevorgang des Kondensators 17 gestartet. Durch die in gleicher Weise wie vorstehend beschrieben nunmehr am Ausgang des Komparators K5 auftretenden Schaltimpulse wird der Transistor T5 trotz Wegfalls seines Schaltsignals S5 getaktet aufgesteuert, wodurch der Phasenstrom $-I_v$ in der Wicklungsphase nach einer e-Funktion auf Null abklingt und der Phasenstrom $-I_w$ in der Wicklungsphase w nach einer e-Funktion von Null auf seinen Endwert

ansteigt. Der Kommutierungsvorgang ist wiederum beendet, wenn die vorgegebene Endspannung des Kondensators 17 erreicht ist. Die stromführenden Wicklungsphasen sind nunmehr die Wicklungsphasen u und w mit dem Phasenströmen I_u und $-I_w$. Die weiteren Kommutierungsvorgänge sind anhand der tabellarischen Übersicht in Fig. 3 leicht nachzuvollziehen.

Bei einem gesteuerten EC-Motor kann die Drehzahl durch Veränderung des Laststroms gesteuert werden. Hierzu wird der Phasenstrom durch Taktung der Transistoren T1, T2, T3 oder der Transistoren T4, T5 und T6 während deren Ansteuerphase geändert. In der hier beschriebenen Schaltungsanordnung ist hierzu zwischen den OR-Gattern OR4 – OR6 und den Verstärker V4 – V6 jeweils ein logisch UND-Gatter 31 angeordnet, das mit Steuerimpulsen vorgegebener Frequenz angesteuert wird. Durch Änderung der relativen Einschalt-dauer dieses Frequenzsignals kann der Laststrom beeinflusst werden. Alternativ können die UND-Gatter 31 auch zwischen den ODER-Gattern OR1 und OR3 und den Verstärkern V1 – V3 angeordnet werden.

Die Erfindung ist nicht auf das vorstehend beschriebene Ausführungsbeispiel beschränkt. So können in der Schaltungsanordnung gemäß Fig. 1 die sechs Komparatoren K1 – K6 durch einen einzigen Komparator ersetzt werden, der jeweils durch geeignete Multiplexer mit dem richtigen ODER-Gatter OR1 – OR6 und mit dem richtigen Meßverstärker MV1 und MV6 verbunden wird. Das Sollwertsignal kann einen beliebigen Verlauf haben, z. B. auch einen linearen Anstieg oder Abfall. Das Istwertsignal kann – wenn es mit einem Meßwiderstand in den Wicklungsphasen u, v, w erfaßt wird, auch in der anderen der beiden an dem Kommutierungsvorgang beteiligten Wicklungsphase abgenommen werden, also an der Wicklungsphase u, v, w, die dem getakteten Transistor T1 – T6 zugeordnet ist. Im Beispiel der Fig. 1 und 2 könnte z. B. an dem Komparator K1 auch die Meßspannung U_w , an dem Komparator K2 die Meßspannung U_u und an dem Komparator K3 die Meßspannung U_v usw. liegen.

Die Meßspannung kann auch an dem Spannungsabfall der dann z. B. als bipolare Transistoren oder als MOSFET- oder als SENSEFET-Transistoren auszubildenden Lastungsschalter T1 – T6 abgenommen werden. In diesem Fall wird der Spannungsabfall an demjenigen Transistor herangezogen, der während des Kommutierungsvorgangs nicht getaktet wird.

Anstelle der Erzeugung der Schaltimpulse durch Vergleich eines Sollwert- und Istwertsignals mittels eines Komparators können für den Überlappungsbereich auch Schaltimpulse mit fester Taktfrequenz und variabler Einschalt-dauer vorgegeben werden. Diese Taktfrequenz wird vorzugsweise mit der Taktfrequenz für die Drehzahlsteuerung des EC-Motors synchronisiert.

Alternativ zu der in der Schaltungsanordnung gemäß Fig. 1 erfolgenden Taktung des Steuersignals für den abkommütierenden Transistor im zeitlichen Überlappungsbereich Δt der Steuersignale kann auch das Steuersignal für den aufkommütierenden Transistor getaktet werden. In diesem Fall muß das Schaltsignal des abkommütierenden Transistors um den Überlappungsbereich Δt verlängert werden. Möglich ist es auch, beide an der Kommutierung beteiligten Transistoren zu takten.

Wird der Sternpunkt der Ankervorrichtung 10 herausgeführt und über den Widerstand 18 an Nullpotential gelegt, so können die Transistoren T4 – T6 entfallen.

Die Steuerschaltung für die Kommutierungstaktung

kann mit der Kommutierungslogik zu einer integrierbaren Einheit zusammengefaßt werden. Die Steuerschaltung 14 arbeitet unabhängig von der Art der Erzeugung der Schaltsignale durch die Kommutierungslogik 13.

Das Sollwertsignal kann auch aus dem Entladevorgang des Kondensators 17 abgeleitet werden. In diesem Fall wird der Q-Ausgang des Flip-Flops 27 mit der Basis des Entladetransistors 23 und der Q-Ausgang mit der Basis des Aufladetransistors 20 verbunden. Mit den Flanken der Steuersignale S1 – S6 wird dann der Entladetransistor 23 aufgesteuert. Das von der Kondensatorspannung abgenommene Sollwertsignal hat dann den Verlauf einer $e^{-t/T}$ -Funktion. Der Aufladetransistor 20 wird gesperrt, und damit der Ladevorgang des Transistors gestoppt, wenn die Kondensatorspannung die Vorgabespannung übersteigt.

Die Erfindung kann auch bei Motoren mit anderer Phasenzahl oder anderer Phasenverschaltung, z. B. Dreieckschaltung, eingesetzt werden.

Patentansprüche

1. Schaltungsanordnung zum Betreiben eines eine mehrphasige Ankerwicklung aufweisenden Synchronmotors an einem Gleichspannungsnetz, mit einer Schaltvorrichtung zum sukzessiven Anschließen der Wicklungsphasen der Ankerwicklung an die Netzgleichspannung, die eine Mehrzahl von den einzelnen Wicklungsphasen zugeordneten elektronischen Schaltern aufweist, und mit einer Kommutierungslogik zum folgerichtigen Ansteuern der Schalter mit Schaltsignalen in Übereinstimmung mit der Rotordrehstellung des Synchronmotors, **dadurch gekennzeichnet**, daß zur Kommutierung aufeinanderfolgender stromführender Wicklungsphasen (u, v, w) die beiden Schaltsignale (S1 – S6) für die den kommutierenden Wicklungsphasen zugeordneten Schalter (T1 – T6) einander zeitlich überlappen und daß mindestens eines der beiden Schaltsignale (S1 – S6) im Überlappungsbereich (Δt) derart getaktet wird, daß der Mittelwert des Strangstroms (I_u, I_v, I_w) in der aufkommenden Wicklungsphase zu- und in der abkommütierenden Wicklungsphase abnimmt, vorzugsweise linear oder nach einer e-Funktion.
2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Taktung des Schaltsignals (S1 – S6) aus dem Vergleich eines dem Istverlauf des Phasenstroms (I_u, I_v, I_w) in mindestens einer der kommutierenden Wicklungsphasen (u, v, w) entsprechenden Istwertsignals mit einem dem gewünschten Sollverlauf des Phasenstroms (I_u, I_v, I_w) entsprechenden Sollwertsignal gewonnen wird.
3. Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß die Amplitude des Sollwertsignals dem Laststrom des Synchronmotors nachgeführt ist.
4. Schaltungsanordnung nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß als Sollwertsignal die Kondensatorspannung eines Kondensators (17) während dessen Auflade- oder Entladevorgangs verwendet wird.
5. Schaltungsanordnung nach Anspruch 3 oder 4, dadurch gekennzeichnet, daß ein an einem vom Phasensummenstrom durchflossenen Widerstand (18) abgegriffener Spannungsabfall die Ladespannung des Kondensators (17) bestimmt.
6. Schaltungsanordnung nach Anspruch 5, dadurch

gekennzeichnet, daß die Kondensatorspannung mit einer im festen Verhältnis zur Ladespannung stehenden Vorgabespannung verglichen wird und daß die Überschreitung der Vorgabespannung durch die Kondensatorspannung das Ende des Überlappungsbereichs (Δt) der Schaltsignale (S1 – S6) festlegt.

7. Schaltungsanordnung nach einem der Ansprüche 2 – 6, dadurch gekennzeichnet, daß das Istwertsignal von einer Meßspannung (U_u, U_v, U_w) gebildet ist, die an einem mit der Wicklungsphase (u, v, w) in Reihe liegenden Meßwiderstand (15) abgenommen ist.

8. Schaltungsanordnung nach einem der Ansprüche 2 – 6, dadurch gekennzeichnet, daß das Istwertsignal von dem Spannungsabfall an dem nicht getakteten der beiden den jeweils kommutierenden Wicklungsphasen (u, v, w) zugeordneten elektronischen Schalter (T1 – T6) gebildet ist.

9. Schaltungsanordnung nach einem der Ansprüche 2 – 8, dadurch gekennzeichnet, daß das Istwert- und das Sollwertsignal an den Eingängen eines Komparators (K1 – K6) legbar sind, dessen Ausgangssignale als Schaltsignale dem Steuereingang des zu taktenden Schalters (T1 – T6) zugeführt werden.

10. Schaltungsanordnung nach Anspruch 9, dadurch gekennzeichnet, daß aus der Anstiegs- oder Abfallflanke des jeweils von der Kommutierungslogik (13) erzeugten Schaltsignals (S1 – S6) ein Steuersignal für die Zuordnung des Komparatorausgangs zu dem Steuereingang des jeweils zu taktenden Schalters (T1 – T6) abgeleitet ist.

11. Schaltungsanordnung nach Anspruch 9, dadurch gekennzeichnet, daß eine der Anzahl der Schalter (T1 – T6) entsprechende Zahl von Komparatoren (K1 – K6) vorgesehen ist, deren Ausgänge jeweils mit einem der Steuereingänge der Schalter (T1 – T6) mittel- oder unmittelbar verbunden und deren Eingänge jeweils mit dem Sollwertsignal und einem der jeweils aus den Phasenströmen (I_u, I_v, I_w) abgeleiteten Istwertsignalen belegt sind, und daß aus der Anstiegs- oder Abfallflanke des jeweils von der Kommutierungslogik (13) erzeugten Schaltsignals (S1 – S6) ein Aktivierungssignal für den ausgangsseitig an dem jeweils zu taktenden Schalter (T1 – T6) angeschlossenen Komparator (K1 – K6) abgeleitet ist.

12. Schaltungsanordnung nach Anspruch 11, dadurch gekennzeichnet, daß die Verbindung der Komparatorausgänge mit den Steuereingängen der Schalter (T1 – T6) über jeweils ein ODER-Gatter (OR1 – OR6) vorgenommen ist, dessen anderer Eingang an jeweils demjenigen Ausgang der Kommutierungslogik (13) angeschlossen ist, an dem das dem Schalter (T1 – T6) zugeordnete Schaltsignal erzeugt wird.

13. Schaltungsanordnung nach einem der Ansprüche 6 – 12, dadurch gekennzeichnet, daß die Ladespannung des Kondensators (17) über einen Aufladetransistor (20) an den Kondensator (17) geführt ist und daß der Aufladetransistor (20) von der ansteigenden oder abfallenden Flanke des jeweils von der Kommutierungslogik (13) erzeugten Schaltsignals (S1 – S6) aufsteuerbar und bei Übersteigen der Vorgabespannung durch die Kondensatorspannung sperrbar ist.

14. Schaltungsanordnung nach Anspruch 13, dadurch gekennzeichnet, daß dem Kondensator (17)

ein Entladungstransistor (23) parallel geschaltet ist, der bei Übersteigen der Vorgabespannung durch die Kondensatorspannung aufgesteuert wird.

15. Schaltungsanordnung nach Anspruch 14, dadurch gekennzeichnet, daß ein flankengesteuertes Flip-Flop (27) über seinen Eingang mit jedem der Schaltsignalausgänge der Kommutierungslogik (13), mit seinem Q-Ausgang mit der Basis des Aufladetransistors (20) und mit seinem Q-Ausgang mit der Basis des Entladetransistors (23) verbunden ist und daß ein Komparator (26) ausgangsseitig an dem Reset-Eingang (R) des Flip-Flops (27) angeschlossen ist und eingangsseitig mit der Kondensatorspannung und der Vorgabespannung belegt ist und ein Ausgangssignal generiert, wenn die Kondensatorspannung die Vorgabespannung übersteigt.

16. Schaltungsanordnung nach einem der Ansprüche 6 – 12, dadurch gekennzeichnet, daß dem Kondensator ein Entladekondensator parallel geschaltet ist, der von der ansteigenden oder abfallenden Flanke des von der Kommutierungslogik erzeugten Schaltsignals aufsteuerbar ist.

17. Schaltungsanordnung nach Anspruch 16, dadurch gekennzeichnet, daß die Ladespannung des Kondensators über einen Aufladetransistor an den Kondensator geführt ist, der bei Übersteigen der Vorgabespannung durch die Kondensatorspannung sperrbar ist.

18. Schaltungsanordnung nach Anspruch 17, dadurch gekennzeichnet, daß ein flankengesteuertes Flip-Flop über seinen einen Eingang mit jedem der Schaltsignalausgänge der Kommutierungslogik, mit seinem Q-Ausgang mit der Basis des Entladetransistors und mit seinem Q-Ausgang mit der Basis des Aufladetransistors verbunden ist und daß ein Komparator ausgangsseitig an dem Reset-Eingang des Flip-Flops angeschlossen ist und eingangsseitig mit der Kondensatorspannung und der Vorgabespannung belegt ist und ein Ausgangssignal generiert, wenn die Kondensatorspannung die Vorgabespannung übersteigt.

19. Schaltungsanordnung nach einem der Ansprüche 8 – 18, dadurch gekennzeichnet, daß die elektronischen Schalter (T1 – T6) als bipolare Transistoren, MOSFET oder SENSEFET ausgebildet sind.

Hierzu 3 Seite(n) Zeichnungen

50

55

60

65

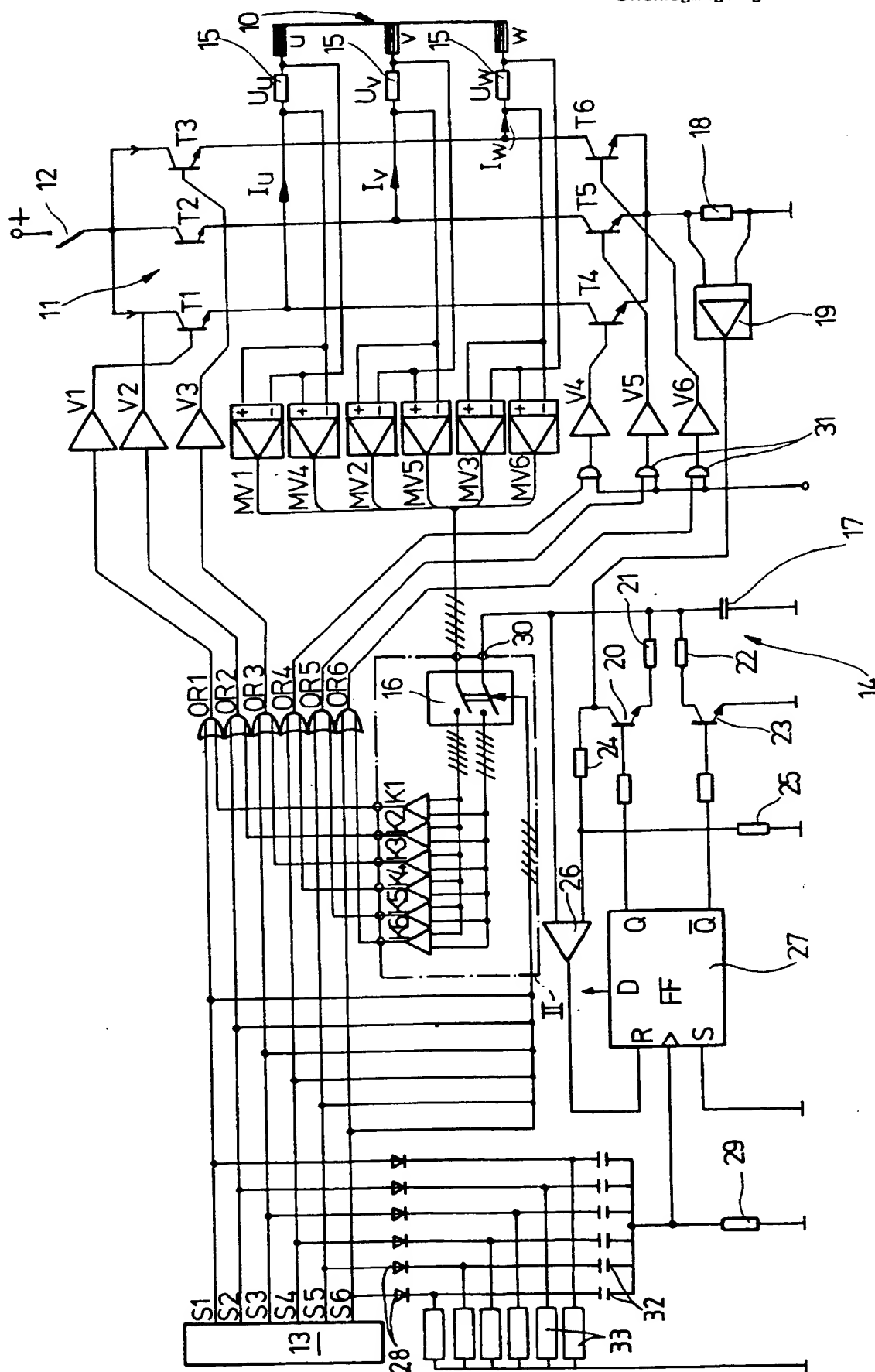


Fig. 1

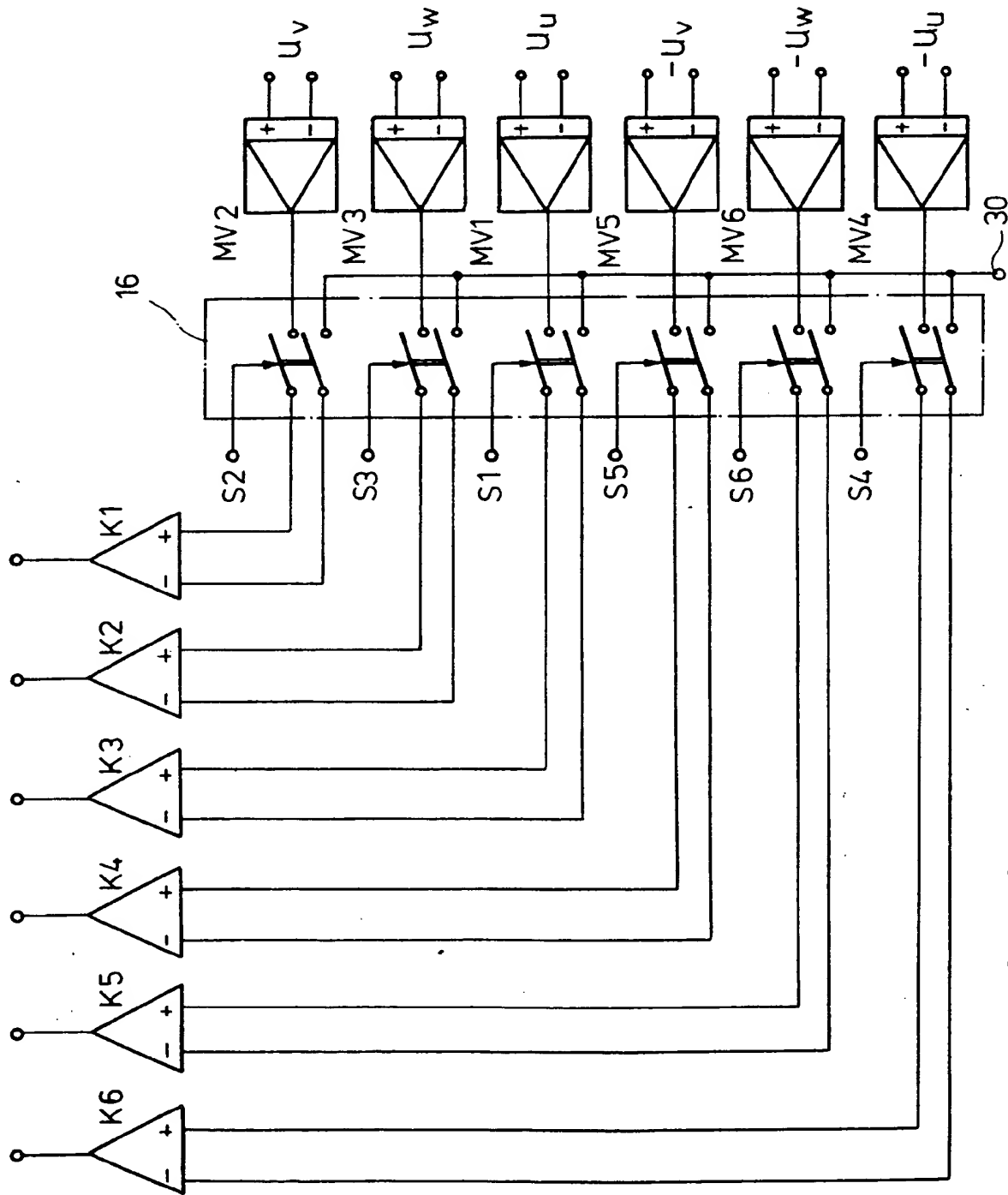


Fig. 2

Strom - führende Transi - storen	Phasen - ströme	Anstiegs - flanke des Schalt - signals	Aufkom - mutierender Transistor	Abkom - mutierender Transistor	verwendetes Istwert Signal
T3/ T5	$I_W / -I_V$	S1	T1	T3	U_U
T1/ T5	$I_U / -I_V$	S6	T6	T5	$-U_W$
T1/ T6	$I_U / -I_W$	S2	T2	T1	U_V
T2/ T6	$I_V / -I_W$	S4	T4	T6	$-U_U$
T2 T4	$I_V / -I_U$	S3	T3	T2	U_W
T3/ T4	$I_W / -I_U$	S5	T5	T4	$-U_V$
T3/ T5 ⋮	$I_W / -I_V$ ⋮			

Fig. 3

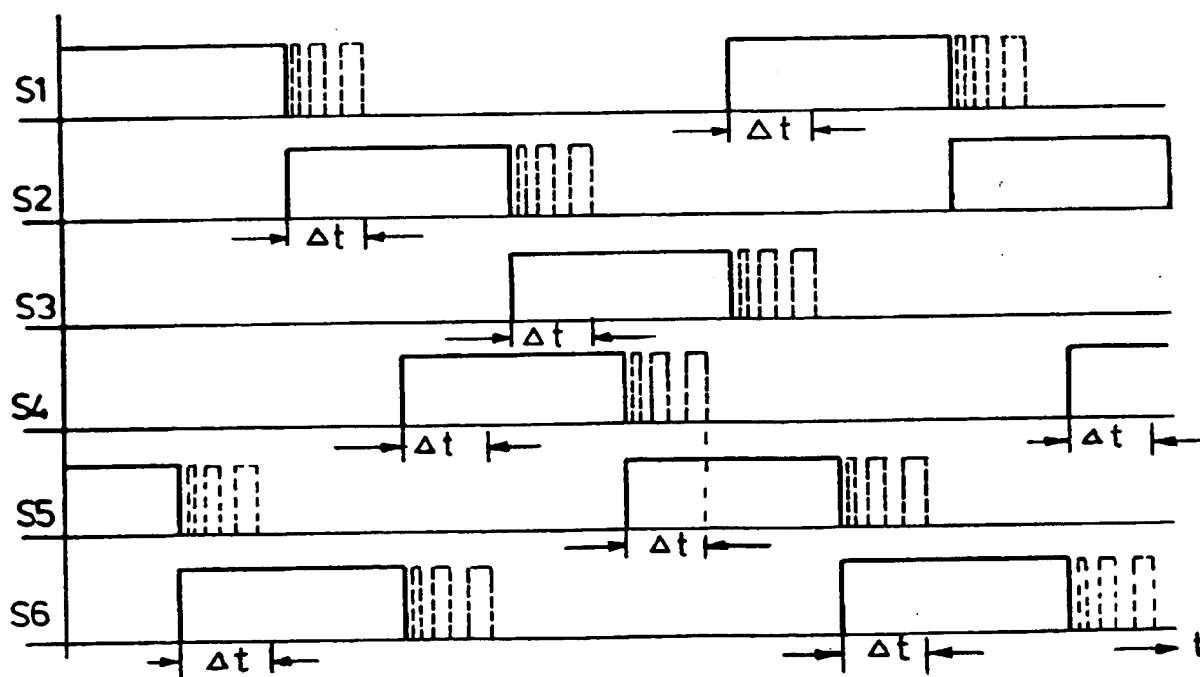


Fig. 4